

## 公告本

申請日期	90.7.23
案 號	90117875
類 別	IPC 21/842

(以上各類由本局填註)

Cite No. 3

A4  
C4

508758

發明專利說明書		
一、發明名稱	中 文	深溝渠式電容器的製造方法
	英 文	
二、發明人	姓 名	1 陳賜龍 2 王曉雷 3 莊慧伶 4 李岳川
	國 籍	中華民國
住、居所		1 台北縣永和市永和路一段 2 號 8 樓之 4 2 台南市裕農路 27-1 號 7 樓之 2 3 彰化縣埤頭鄉豐崙村青埔路 443 號 4 南投縣中興新村光榮北路 4 街 30 號
三、申請人	姓 名 (名稱)	茂德科技股份有限公司
	國 籍	中華民國
住、居所 (事務所)		新竹科學工業園區力行路 19 號 3 樓
	代 表 人 姓 名	胡洪九

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4 規格 (210 × 297 公釐)

BEST AVAILABLE COPY

7570twf.doc/006

A5  
B5

四、中文發明摘要(發明之名稱:

深溝渠式電容器的製造方法)

一種深溝渠式電容器的製造方法，此方法係在基底中形成做為電容器的深溝渠，並在深溝渠的底部周圍形成摻雜區。接著，形成一具形之電容介電層以及第一導電層以填滿深溝渠，其中第一導電層內具有一縫隙。之後，對第一導電層進行一回蝕刻製程，經回蝕後此縫隙會被打開。接著，於深溝渠表面形成一層領氧化層，並於深溝渠側壁的領氧化層上形成一層領襯墊層。再以領襯墊層為罩幕移除殘留於第一導電層上與縫隙內之領氧化層。然後，移除領襯墊層，再依序於深溝渠中形成第二導電層與第三導電層。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱:

)

訂

線

經濟部智慧財產局員工消費合作社印製

7670twf.doc/006

A7

B7

## 五、發明說明 ( 1 )

本發明是有關於一種動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)之電容器(Capacitor)的製造方法，且特別是有關於一種深溝渠式(Deep Trench)電容器的製造方法。

當半導體進入深次微米(Deep Sub-Micron)的製程時，元件的尺寸逐漸縮小，對以往的動態隨機存取記憶體結構而言，也就是代表作為電容器的空間愈來愈小，另一方面，由於電腦應用軟體的逐漸龐大，因此所需的記憶體容量也就愈來愈大，對於這種尺寸變小而記憶體容量卻需要增加的情形，顯示以往的動態隨機存取記憶體之電容器的製造方法必須有所改變，以符合趨勢所需。

動態隨機存取記憶體(DRAM)電容器的結構主要分成兩種，其一為堆疊式電容器(Stack Capacitor)，另一則為深溝渠式電容器(Deep Trench Capacitor)，而不論是堆疊式電容器或是深溝渠式電容器，在半導體元件尺寸縮減的要求下，其製造的技術上均遭遇到越來越多的困難。

其中，堆疊式電容器是傳統半導體電容器製造的主要方法，目前普遍用於增加堆疊式電容器表面積的方法有半球晶粒(Hemi-Spherical Grain, HSG)製程，以及改變電容器結構，如冠狀(Crown)、鰭狀(Fin)、柱狀(Cylinder)、或是延伸狀(Spread)等結構。

然而，儘管堆疊式電容器的技術較為普遍，但對記憶體元件尺寸縮小的趨勢而言，其平坦化(Planarization)的問題是必須要克服的。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

7570etwf.doc/006

A7

B7

## 五、發明說明(二)

由於深溝渠式電容器則是製造於基底之中，因此不易產生平坦化的問題，較有利於記憶體元件尺寸縮小時的製作。但是，對深溝渠式電容而言，在半導體尺寸為  $0.2\mu\text{m}$  的製程中，溝渠的高寬比(Aспект ratio)將高達 35:1，而當設計規則往  $0.17\mu\text{m}$  的製程邁進時，溝渠尺寸更需相對地縮小，使深溝渠之微影蝕刻製程更加困難，同時於深溝渠中填充導電材質之製程也需要改良。

然而，對於  $0.17\mu\text{m}$  世代深溝渠式 DRAM 而言，單一記憶體失效的主要因素是取決於深溝渠式電容器中第一導電層與第二導電層之間界面(Interface)是否導通(Open)。於是，如何維持第一導電層與第二導電層之間界面(Interface)的導通，則成為製程上最需要克服的技術。

請參照第 1A 圖至第 1D 圖係繪示習知深溝渠式電容器之製造流程結構剖面示意圖。

首先請參照第 1A 圖，在基底 100 表面形成一圖案化之罩幕層 102 後，進行蝕刻製程，以在基底 100 中形成深溝渠 104。接著，於深溝渠 104 底部形成摻雜區 106，作為深溝渠電容器之儲存電極。

接著請參照第 1B 圖，於深溝渠 104 表面形成共形的電容介電層 108。然後利用化學氣相沈積法形成一層材質為摻雜多晶矽之導電層 110 以填滿深溝渠 104。由於多晶矽之溝填(Gap Filling)能力隨著深溝渠 104 關鍵尺寸之縮小而變差，因此所形成之導電層 110 內會有縫隙 112(Seam)存在。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

7670twf.doc/006

A7

B7

## 五、發明說明(3)

接著請參照第 1C 圖，移除深溝渠 104 頂部之部分導電層 110，以在深溝渠 104 底部形成導電層 110a，同時並移除深溝渠 104 頂部之電容介電層 108。在移除部分導電層 110 時，也打開了縫隙 112(Seam)。然後，於基底 100 上形成共形的一層領氧化物層(Collar Oxide)114 以覆蓋罩幕層 102 表面與深溝渠 104 之表面。

接著請參照第 1D 圖，利用非等向性蝕刻製程，移除罩幕層 102 表面與導電層 110a 上的領氧化物層 114，以暴露導電層 110a 表面。然後，再沉積一層導電層 116 填滿深溝渠 104，並使導電層 110a 與導電層 116 電性連接。之後，再進行導電層 116 的回蝕刻步驟，使導電層 116 之表面低於基底 100 表面 100a，續再去除深溝渠 104 側壁頂部，靠近基底 100 表面 100a 所暴露出的領氧化物層 114。然後，再於深溝渠 104 中填入導電層 118。導電層 118 與導電層 116 電性連接，且與基底 100 電性連接。其中，導電層 110a、導電層 116 與導電層 118 作為深溝渠電容器之一上電極。

然而，在上述深溝渠式電容器之製造過程中，由於在導電層 110 中有縫隙 112(Seam)存在，經回蝕製程後此縫隙 112 會打開，使得沈積領氧化物層 114 時，溝渠底部之領氧化物層 114 之厚度會較罩幕層 102 表面之領氧化物層 114 之厚度厚，而且會有部分氧化物填充於縫隙 112 之中。因此，在領氧化層 114 之回蝕製程中，罩幕層 102 表面之領氧化物層 114 已完全移除，而導電層 110a 上與縫隙 112 中的領氧化物層 114a(如第 1D 圖所示)卻無法有效的完全移

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

7670cwf.doc/005

A7  
B7

#### 五、發明說明（4）

除，使導電層 110a 與導電層 116 之間殘留有氧化物而無法電性連接，造成單一記憶胞失效以及影響產品良率之問題。

於上述方法中，若要完全移除導電層 110a 上與縫隙 112 中的領氧化物層 114a 則需要加長蝕刻時間。然而，加長蝕刻時間可能會造成深溝渠側壁領氧化物層之厚度變薄以及元件受到過度蝕刻而損壞之問題。

因此，本發明的目的係提供一種深溝渠式電容器的製造方法，可去除殘留於縫隙之領氧化物層，以避免第一導電層與第二導電層無法電性連接之問題，減少單一記憶胞失效的情形並且提高產品的良率。

本發明提出一種深溝渠式電容器的製造方法，此方法包括：提供已形成一圖案化之罩幕層與一深溝渠之一基底，接著，在深溝渠底部周圍的基底中形成一摻雜區。之後，形成一共形之電容介電層與一第一導電層以填滿該深溝渠。當元件小型化之後，深溝渠的高寬比增加，因此深溝渠之中的第一導電層內會具有一縫隙。其後，移除部分第一導電層，並使縫隙被打開後，依序於基底上形成共形之一領氧化物層與一領襯墊層，且領襯墊層之材質與領氧化物層之材質具有高蝕刻選擇比。之後，移除部分領襯墊層，只留下位於深溝渠側壁上之領襯墊層，再移除罩幕層表面與第一導電層頂部之領氧化物層。接著，以深溝渠側壁上之領襯墊層為罩幕，移除第一導電層上與縫隙中之殘留領氧化物層後，移除深溝渠側壁上之領襯墊層。然後，

7670cwf.doc/005

A7  
B7

## 五、發明說明 ( 5 )

依序形成一第二導電層與一第三導電層以填滿深溝渠。

本發明係在深溝渠側壁之領氧化物層上覆蓋一層領襯墊層，以在進行第一導電層頂部殘留氧化物之移除製程時，藉由領襯墊層之材質與領氧化物層之材質具有高蝕刻選擇比之特性，以利用領襯墊層保護深溝渠側壁之領氧化物層使其不受蝕刻製程的損害，而仍維持相同之厚度。

而且，由於領襯墊層可以保護深溝渠側壁之領氧化物層使其不受蝕刻製程的損害，因此，在去除領氧化物層的蝕刻製程可以過度蝕刻，以完全去除第一導電層上與縫隙中之殘留領氧化物層，進而確保第一導電層與後續形成之第二導電層二者之間的界面不會殘留氧化物，因此，本發明可以防止單一記憶胞失效並且能夠提升產品的良率。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：圖式之簡單說明：

第 1A 圖至第 1D 圖係繪示習知深溝渠式電容器之製造流程結構剖面示意圖；

第 2A 圖至第 2J 圖係繪示本發明較佳實施例之深溝渠式電容器之製造流程結構剖面示意圖

圖式之標記說明：

- 100、200：基底
- 100a、200a：表面
- 102、202：圖案化之單幕層
- 104、204：深溝渠

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

7670twf.doc/006

A7  
B7

## 五、發明說明 ( 6 )

106、212：摻雜區

108、214：電容介電層

110、110a、116、118、216、224、226：導電層

112、218：縫隙

114、114a、220、220a：阻氧化層

206、206a：摻雜絕緣層

208：光阻層

210：間隙壁

222、222a：阻襯墊層

### 實施例

本發明實施例之一種深溝渠式電容器之製造流程分別以第 2A 圖至第 2E 圖來說明。

首先請參照第 2A 圖，在基底 200 表面形成一圖案化之罩幕層 202，此圖案化之罩幕層 202 之材質例如是氮化矽，形成圖案化之罩幕層 202 之方法例如是先以化學氣相沉積法 (Chemical Vapor Deposition, CVD) 形成一罩幕層 202 覆蓋於基底 200 上，再進行一微影蝕刻製程，以在此罩幕層 202 上形成圖案。接著，進行一蝕刻製程，以在基底 200 中形成深溝渠 204。在基底 200 中蝕刻出深溝渠 204 之方法，例如是乾式蝕刻法。

接著，在深溝渠 204 的側壁上形成一層摻雜絕緣層 206，此摻雜絕緣層 206 之材質例如是摻質為砷離子之氧化矽層，形成摻雜絕緣層 206 之方法例如是以臨場 (In-Situ)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製



7670twf.doc/006

A7  
B7

## 五、發明說明(7)

摻雜離子之方式，利用化學氣相沈積法以形成之。

然後，於深溝渠 204 底部形成一層光阻層 208，其中光阻層 208 並未填滿深溝渠 204，且光阻層 208 之表面係位於基底 200 表面 200a 之下。

接著，請參照第 2B 圖，移除未被光阻層 208 覆蓋之之部分摻雜絕緣層 206。移除摻雜絕緣層 206 之方法例如是濕式蝕刻法，係以緩衝氫氟酸(Buffer HF, BHF)或稀釋的氫氟酸(Diluted HF, DHF)為蝕刻劑。然後，在基底 200 上形成共形的一層絕緣層(未圖示)以覆蓋罩幕層 202 與深溝渠 204。接著，再以非等向性蝕刻法移除部分絕緣層，在深溝渠 204 之側壁上形成一間隙壁 210，並使光阻層 208 之表面被裸露出來。間隙壁 210 之材質例如是以四-乙基-鄰-矽酸酯(Tetra Ethyl Ortho Silicate, TEOS)/臭氧(O<sub>3</sub>)為反應氣體源利用化學氣相沈積法所形成之氧化矽。

接著請參照第 2C 圖，移除光阻層 208 後，對基底 200 進行一熱製程，使摻雜絕緣層 206a 中的雜質擴散進入深溝渠 204 底部之基底 200 中而形成一摻雜區 212，以作為深溝渠式電容器之儲存電極。此外，由於深溝渠 204 頂部形成有間隙壁 210，故可阻擋住摻雜絕緣層 206a 中摻質的擴散，使摻雜區 212 不致擴散過大，而可限制在包圍住深溝渠 204 底部的範圍內。然後，移除深溝渠 204 底部的摻雜絕緣層 206a 以及深溝渠頂部 204 側壁上之間隙壁 210。移除深溝渠 204 底部的摻雜絕緣層 206a 以及深溝渠頂部 204 側壁上之間隙壁 210 之方法例如是濕式蝕刻法，係以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

7670twf.doc/006

A7

B7

## 五、發明說明 ( 8 )

緩衝氫氟酸(Buffer HF, BHF)或稀釋的氫氟酸(Diluted HF, DHF)為蝕刻劑。

接著請參照第 2D 圖，於基底 200 上形成一層共形的電容介電層 214 以覆蓋深溝渠 204。電容介電層 214 之材質例如是氧化矽/氮化矽，形成電容介電層 214 之方法例如是熱氧化法或低壓化學氣相沉積法。然後，形成一層導電層 216 以填滿深溝渠 204，導電層 216 之材質例如是摻雜多晶矽，形成導電層 216 之方法例如是以臨場(In-Situ)摻雜離子之方式，利用化學氣相沈積法於基底 200 上形成一層摻雜多晶矽層(未圖示)後，以化學機械研磨法(Chemical Mechanical Polishing, CMP)移除深溝渠 204 以外之多餘的摻雜多晶矽層。由於深溝渠 204 之寬度很小使摻雜多晶矽之溝填(Gap Filling)能力很差，而使導電層 216 內會有縫隙 218 存在。

接著請參照第 2E 圖，移除深溝渠 204 頂部之導電層 216，以留下深溝渠 204 底部之導電層 216a，並去除深溝渠 204 頂部未被導電層 216a 覆蓋之電容介電層 214。導電層 216a 之表面低於基底 200 之表面 200a。在移除部分導電層 216 時，也打開了縫隙 218(Seam)。移除部分導電層 216 之方法例如是乾式蝕刻法或溼式蝕刻法。然後，在基底 200 上形成一層共形的領氧化物層(Collar Oxide)220，此領氧化物層 220 覆蓋在罩幕層 202 表面與深溝渠 204 之表面。形成領氧化物層 220 之方法例如是化學氣相沈積法。

接著請參照第 2F 圖，於基底 200 上形成一層共形的

7670twf.doc/006

A7

B7

## 五、發明說明(9)

領襯墊層 222(Collar Liner)，覆蓋住領氧化物層 220。領襯墊層 222 之材質，例如是與領氧化物層 220 具有不同蝕刻選擇性者，包括氮化矽、多晶矽、矽或氮氧化矽等。形成領襯墊層 222 之方法例如是電漿增進化學氣相沈積法或低壓化學氣相沈積法等。

接著請參照第 2G 圖，對共形的領襯墊層 222 進行回蝕刻製程，例如是以非等向性(Anisotropic)蝕刻進行，以移除部分領襯墊層 222，只留下位於深溝渠 206 側壁上之領襯墊層 222a，其中領襯墊層 222 的回蝕刻製程例如是以領氧化物層 220 為蝕刻終點而進行，故領襯墊層 222 需選擇與領氧化物層 220 具有較大蝕刻選擇比的材料。然後移除罩幕層 202 表面與導電層 216a 頂部之領氧化物層 220。移除罩幕層 202 表面與導電層 216a 頂部之領氧化物層 220 例如是非等向性(Anisotropic)蝕刻法。

由於回蝕導電層 216 後，導電層 216 內部之縫隙 218(Seam)會打開。而且在沈積領氧化物層 220 時，導電層 216a 表面之領氧化物層 220 之厚度會較罩幕層 202 表面之領氧化物層 220 之厚度厚，並會有部分氧化物填充於縫隙 218 之中。因此，在領氧化層 220 之回蝕製程中，罩幕層 202 表面之領氧化層 220 已完全移除，而導電層 216a 上與縫隙 218 中的領氧化物層 220a 卻無法有效的完全移除而殘留於導電層 216a 上與縫隙 218 中，造成後續形成之導電層 224 無法與導電層 216 電性連接。

接著請參照第 2H 圖，進行導電層 216a 頂部與縫隙 218

7670twf.doc/006

A7  
B7

## 五、發明說明(10)

中領氧化物層 220a 之去除步驟。移除殘留領氧化物層 220a 之方法例如是濕式蝕刻法，係以稀釋的氫氟酸(Diluted HF, DHF)為蝕刻劑，或者是乾式蝕刻法。由於領襯墊層 222 之材質與領氧化物層 220 之材質具有不同之蝕刻選擇性，因此在蝕刻時需調整對領襯墊層 222 與領氧化物層 220 的蝕刻選擇比(Etch Selectivity)，以使導電層 216a 頂部與縫隙 218 之領氧化物層 220a 可以順利蝕刻，而領襯墊層 222a 可以保護深溝渠頂部側壁之領氧化物層 220 不受蝕刻製程的損害，仍維持相同之厚度。

接著請參照第 2I 圖，移除深溝渠 204 側壁上之領襯墊層 222a 以暴露領氧化物層 220。上述領襯墊層 222 之材質若為多晶矽，則可省略移除領襯墊層 222a 以暴露領氧化物層 220 之步驟。然後，再沉積一層導電層 224 填滿深溝渠 204。由於導電層 216a 頂部之殘留氧化物已完全去除，因此導電層 216a 可與導電層 224 保持良好之電性連接。導電層 224 之材質例如是摻雜多晶矽，形成導電層 224 之方法例如是以臨場(In-Situ)摻雜離子之方式，利用化學氣相沈積法於基底 200 上形成一層摻雜多晶矽層(未圖示)後，以化學機械研磨法(Chemical Mechanical Polishing, CMP)移除深溝渠 204 以外之多餘摻雜多晶矽層。之後，再進行導電層 224 的回蝕刻製程，使導電層 224 之表面低於基底 200 上表面 200a，續再去除深溝渠 204 側壁，靠近基底 200 表面 200a 所暴露出的領氧化物層 220。然後，再於深溝渠 204 中填入導電層 226，導電層 226 之材質例如摻雜多晶矽，

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

7670twf.doc/006

A7

B7

## 五、發明說明(11)

形成導電層 226 之方法例如是以臨場(In-Situ)摻雜離子之方式，利用化學氣相沈積法於基底 200 上形成一層摻雜多晶矽層(未圖示)後，以化學機械研磨法(Chemical Mechanical Polishing, CMP)移除深溝渠 204 以外之多餘摻雜多晶矽層。導電層 226 與導電層 224 電性連接，且與基底 200 電性連接。其中，導電層 216a、導電層 224 與導電層 226 作為深溝渠式電容器之一上電極。

完成深溝渠式電容器之製程為熟知此技藝者所能輕易達成，因此不再贅述。

由上述較佳實施例所揭露本發明係在深溝渠側壁之領氧化物層上覆蓋一層領襯墊層，以在進行第一導電層頂部殘留氧化物之移除製程時，藉由領襯墊層之材質與領氧化物層之材質具有高蝕刻選擇比之特性，以利用領襯墊層保護深溝渠側壁之領氧化物層使其不受蝕刻製程的損害，而仍維持相同之厚度。

而且，由於領襯墊層可以保護深溝渠側壁之領氧化物層使其不受蝕刻製程的損害，因此，在去除領氧化物層的蝕刻製程可以過度蝕刻，以完全去除第一導電層上與縫隙中之殘留領氧化物層，進而確保第一導電層與後續形成之第二導電層二者之間的界面不會殘留氧化物，因此，本發明可以防止單一記憶胞失效並且能夠提升產品的良率。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所際定者為準。

7670twf.doc/006

A8  
B8  
C8  
D8

## 六、申請專利範圍

- 1.一種深溝渠式電容器的製造方法，該方法包括：  
提供一基底；  
於該基底上形成一圖案化之單幕層；  
以該圖案化之單幕層為單幕，於該基底中形成一深溝渠；  
於該深溝渠底部周圍的該基底中形成一摻雜區；  
於該深溝渠表面形成一電容介電層；  
形成一第一導電層以填滿該深溝渠，且該第一導電層內具有一縫隙；  
移除部分該第一導電層，使該縫隙被打開；  
於該基底上形成共形之一領氧化物層；  
於該領氧化物層上形成一領襯墊層，且該領襯墊層之材質與該領氧化物層之材質具有高蝕刻選擇比；  
移除部分該領襯墊層，只留下位於該深溝渠側壁上之該領襯墊層；  
移除該單幕層表面與該第一導電層頂部之該領氧化物層；  
以該深溝渠側壁上之該領襯墊層為單幕，移除該第一導電層上與該縫隙中之殘留該領氧化物層；  
移除該深溝渠側壁上之該領襯墊層；以及  
依序形成一第二導電層與一第三導電層填滿該深溝渠。
- 2.如申請專利範圍第 1 項所述之深溝渠式電容器的製造方法，其中該領襯墊層之材質係選自氮化矽、多晶矽、矽與氮氧化矽所組之族群之其中之一。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

7670cwf.doc/005

A8  
B5  
C8  
D8

## 六、申請專利範圍

3.如申請專利範圍第 1 項所述之深溝渠式電容器的製造方法，其中移除部分該領襯墊層，只留下位於該深溝渠側壁上之該領襯墊層之方法包括非等向性蝕刻法。

4.如申請專利範圍第 1 項所述之深溝渠式電容器的製造方法，其中移除該罩幕層表面與該第一導電層頂部之該領氧化物層之方法包括非等向性蝕刻法。

5.如申請專利範圍第 1 項所述之深溝渠式電容器的製造方法，其中移除該第一導電層上與該縫隙中之殘留該領氧化物層之方法包括濕式蝕刻法。

6.如申請專利範圍第 1 項所述之深溝渠式電容器的製造方法，其中移除該第一導電層上與該縫隙中之殘留該領氧化物層之方法包括乾式蝕刻法。

7.如申請專利範圍第 1 項所述之深溝渠式電容器的製造方法，其中該第一導電層、該第二導電層與該第三導電層領襯墊層之材質包括摻雜多晶矽。

8.如申請專利範圍第 7 項所述之深溝渠式電容器的製造方法，其中形成摻雜多晶矽之方法包括以臨場(in-situ)摻雜離子之方式，利用化學氣相沈積法以形成之。

9.如申請專利範圍第 1 項所述之深溝渠式電容器的製造方法，其中於該深溝渠底部周圍的該基底中形成該摻雜區之步驟包括：

於該深溝渠內形成共形之一摻雜絕緣層；

於該深溝渠底部形成一光阻層，該光阻層並未填滿該深溝渠且暴露出部分該摻雜絕緣層；

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

經濟部智慧財產局員工消費合作社印製

7670cw5.doc/006

A8  
B8  
C8  
D8

## 六、申請專利範圍

移除未被該光阻層覆蓋之該摻雜絕緣層，留下位於該深溝渠底部周圍之該摻雜絕緣層；

於該深溝渠之側壁上形成一間隙壁；

移除該光阻層；

進行一熱製程，使該摻雜絕緣層中的摻質擴散進入該基底中而形成該摻雜區；以及

移除該深溝渠底部的該摻雜絕緣層與該深溝渠之側壁上之該間隙壁。

10.如申請專利範圍第9項所述之深溝渠式電容器的製造方法，其中該摻雜絕緣層之材質包括摻雜砷離子之氧化矽。

11.如申請專利範圍第1項所述之深溝渠式電容器的製造方法，其中該電容介電層之材質包括氧化矽/氮化矽層。

12.一種深溝渠式電容器的製造方法，該方法包括：

提供一基底，該基底已形成具有一圖案化之罩幕層與一深溝渠，該深溝渠底部已形成一摻雜區，且該深溝渠表面已形成一電容介電層；；

形成一第一摻雜多晶矽層以填滿該深溝渠，且該第一摻雜多晶矽層內具有一縫隙；

移除部分該第一摻雜多晶矽層，使該縫隙被打開；

於該基底上形成共形之一領氧化物層；

於該深溝渠側壁上之該領氧化物層上形成一領襯墊層；

移除該罩幕層表面與該第一摻雜多晶矽層頂部之該領

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

經濟部智慧財產局員工消費合作社印製



7670twf.doc/006

A3  
B3  
C3  
D8

## 六、申請專利範圍

氧化物層；

以該深溝渠側壁上之該領襯墊層為罩幕，移除該第一摻雜多晶矽層上與該縫隙中之殘留該領氧化物層；以及

依序形成一第二摻雜多晶矽層與一第三摻雜多晶矽層以填滿該深溝渠。

13.如申請專利範圍第 12 項所述之深溝渠式電容器的製造方法，其中該領襯墊層之材質與該領氧化物層具有不同之蝕刻選擇性。

14.如申請專利範圍第 13 項所述之深溝渠式電容器的製造方法，其中該領襯墊層之材質為氮化矽。

15.如申請專利範圍第 13 項所述之深溝渠式電容器的製造方法，其中該領襯墊層之材質為多晶矽。

16.如申請專利範圍第 15 項所述之深溝渠式電容器的製造方法，其中於該深溝渠側壁上之該領氧化物層上形成該領襯墊層之方法包括：

於該領氧化物層上形成一多晶矽層；以及

以非等向性蝕刻法移除部分該多晶矽層。

17.如申請專利範圍第 13 項所述之深溝渠式電容器的製造方法，其中該領襯墊層之材質係選自氮化矽、矽與氮氧化矽所組之族群之其中之一。

18.如申請專利範圍第 17 項所述之深溝渠式電容器的製造方法，其中更包括在以該深溝渠側壁上之該領襯墊層為罩幕，移除該第一摻雜多晶矽層上與該縫隙中之殘留該領氧化物層之步驟之後與依序形成一第二摻雜多晶矽層與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

7670ewf.doc/006

A9  
B5  
C9  
D8

## 六、申請專利範圍

一第三摻雜多晶矽層以填滿該深溝渠之步驟之前，移除該領襯墊層。

19.如申請專利範圍第 12 項所述之深溝渠式電容器的製造方法，其中移除該罩幕層表面與該第一摻雜多晶矽層頂部之該領氧化物層之方法包括非等向性蝕刻法。

20.如申請專利範圍第 12 項所述之深溝渠式電容器的製造方法，其中移除該第一摻雜多晶矽層上與該縫隙中之殘留該領氧化物層之方法包括濕式蝕刻法。

21.如申請專利範圍第 20 項所述之深溝渠式電容器的製造方法，其中移除該第一摻雜多晶矽層上與該縫隙中之殘留該領氧化物層之方法包括以稀釋氫氟酸為蝕刻劑。

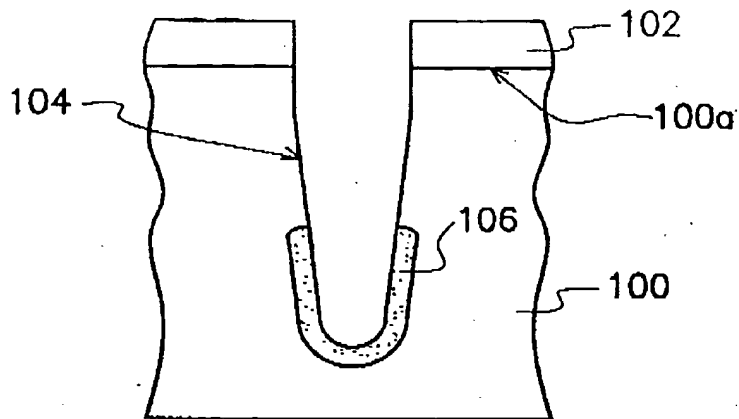
22.如申請專利範圍第 12 項所述之深溝渠式電容器的製造方法，其中移除該第一摻雜多晶矽層上與該縫隙中之殘留該領氧化物層之方法包括乾式蝕刻法。

(請先閱讀背面之注意事項再填寫本頁)

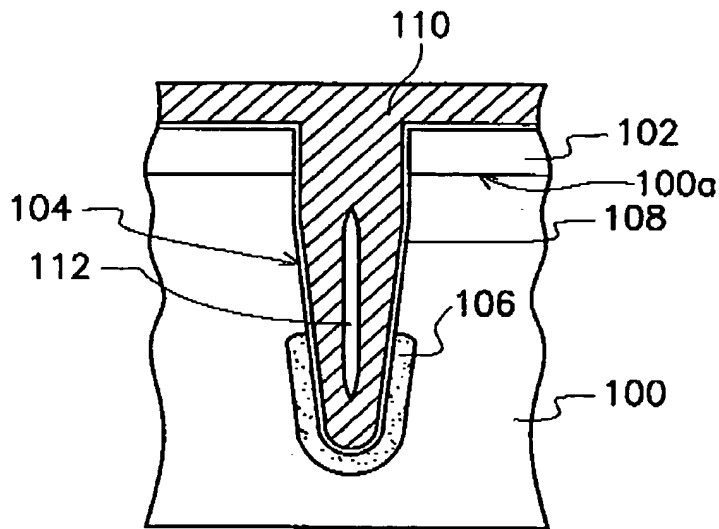
訂  
線

經濟部智慧財產局員工消費合作社印製

7570TW

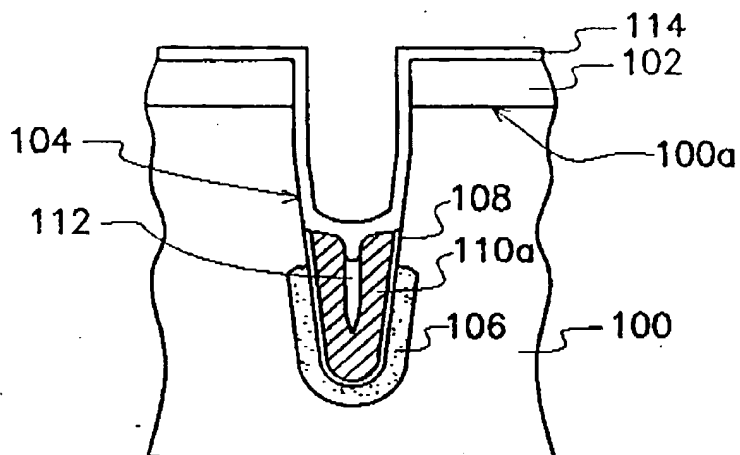


第 1A 圖

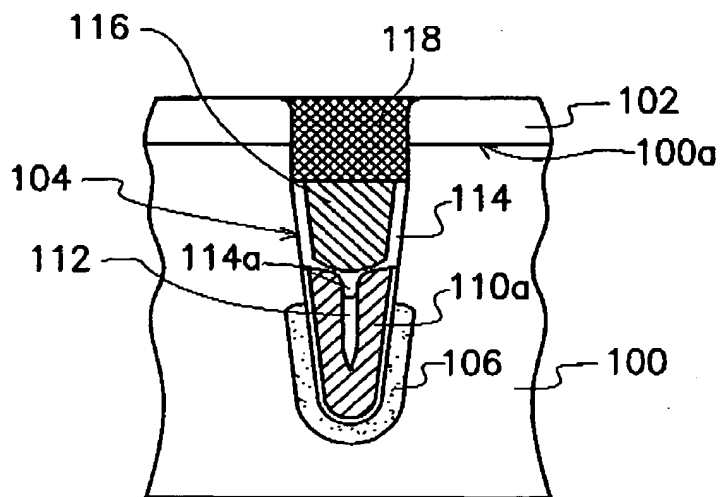


第 1B 圖

7670TW

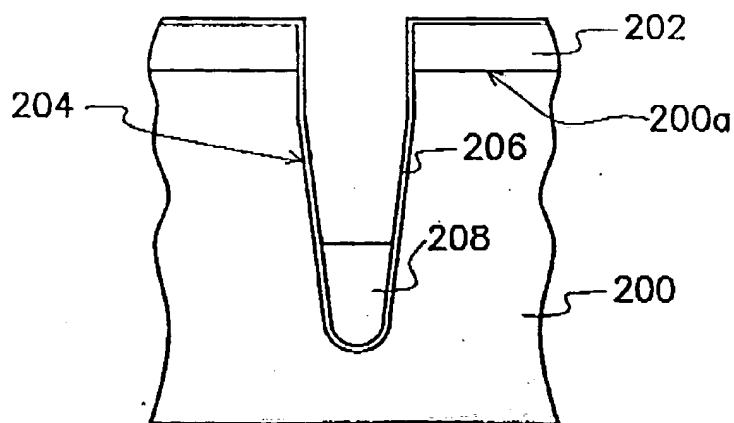


第 1C 圖

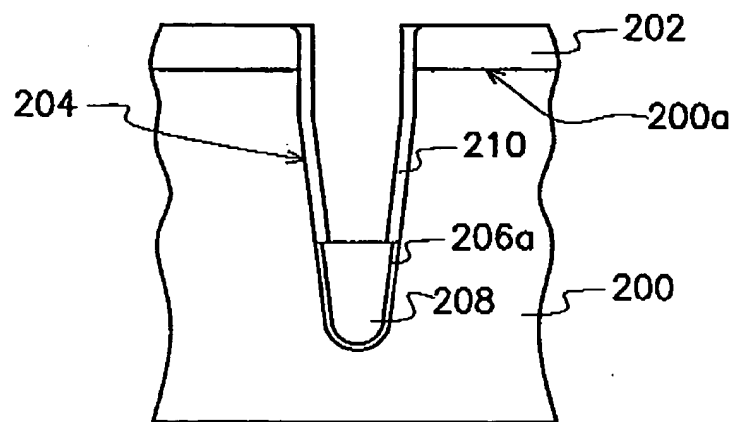


第 1D 圖

7570TW

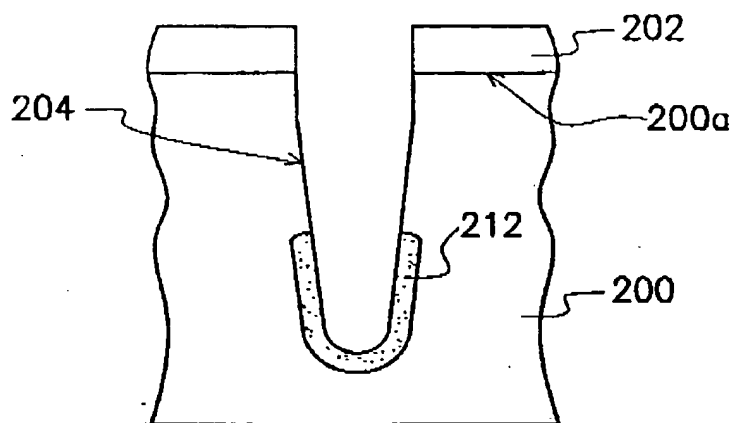


第 2A 圖

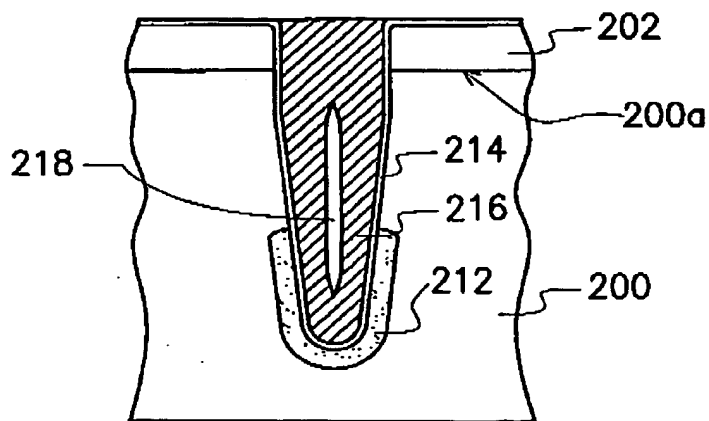


第 2B 圖

7670TW

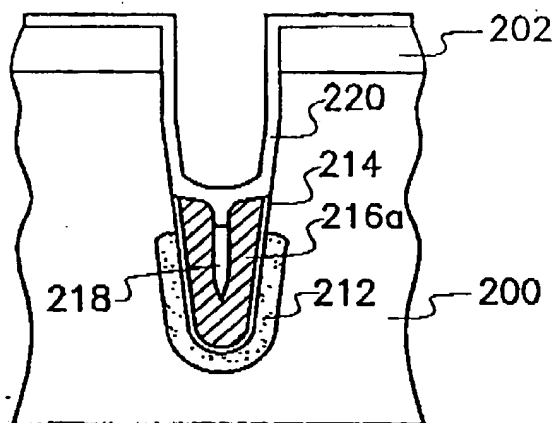


第 2C 圖

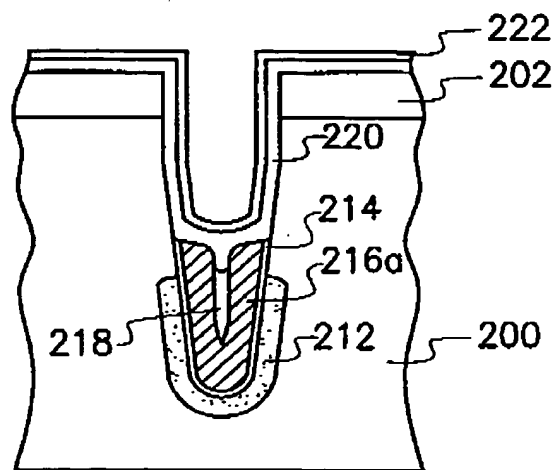


第 2D 圖

7670TW

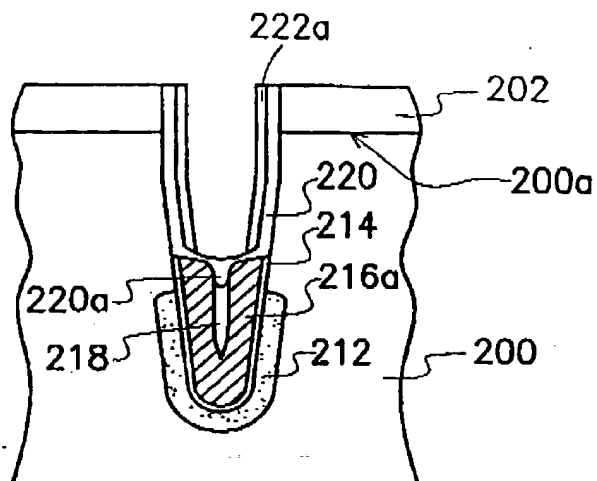


第 2E 圖

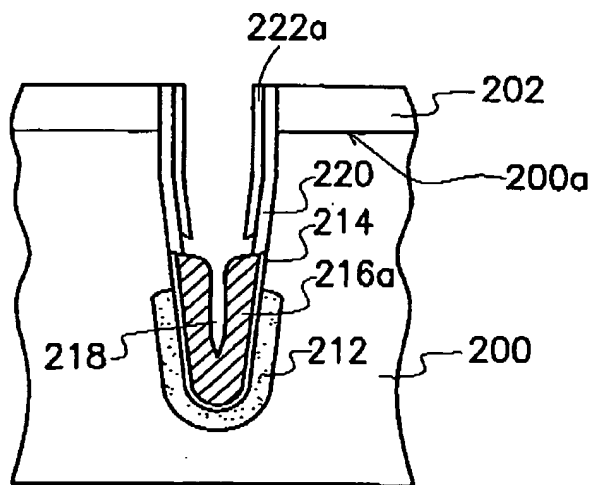


第 2F 圖

7670FW



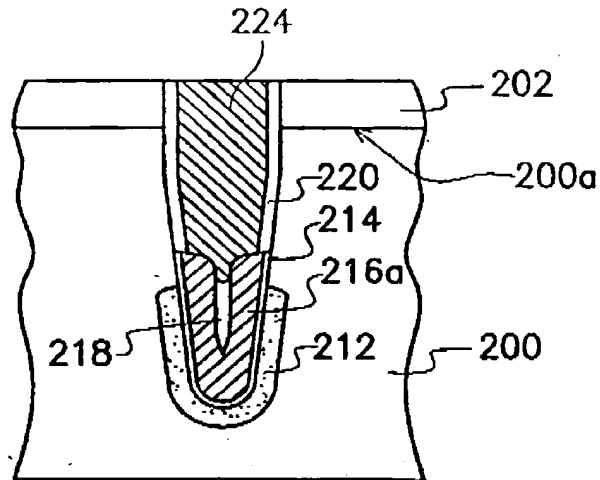
第 2G 圖



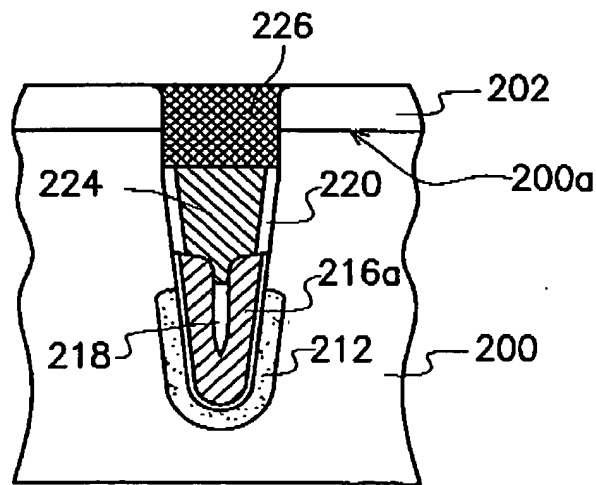
第 2H 圖



7570TW



第 2I 圖



第 2J 圖

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**